

UN METODO CONSTRUCTIVO PARA LA DISTRIBUCION AUTOMATICA DE COMPONENTES EN CIRCUITOS IMPRESOS

Armando De Giusti

Francisco Diaz

Centro de Técnicas Analógico Digitales
de la Facultad de Ingeniería de la UNLP
La Plata, Argentina

RESUMEN:

Se presenta un algoritmo constructivo para la distribución por computadora de componentes electrónicos en una plaqueta de circuito impreso, así como el macrolenguaje utilizado en la descripción del problema.

Los aspectos más importantes del trabajo son:

- La técnica de descripción y análisis sintáctico de los datos se basa en el concepto de "línea equipotencial" y permite una fácil utilización por los no-especialistas.*
- Se crea y mantiene una biblioteca de características físicas de los componentes electrónicos (dimensiones, número de terminales, orientación).*
- El algoritmo de distribución de componentes se basa en un encadenamiento de criterios, todos ellos lineales con el número de componentes en tiempo de ejecución.*
- Se admiten las siguientes restricciones tecnológicas: dimensiones físicas reales de los componentes, "peso" programable de las líneas, ancho mínimo de las líneas, concepto de "bus", elementos fijos y móviles, orientación preferencial de cada circuito integrado.*
- Todo el sistema puede ser interactivo.*

Trabajo realizado bajo la dirección del Ing. Antonio A. Quijano

INTRODUCCION:

El diseño automático de circuitos impresos y máscaras de circuitos híbridos o integrados ofrece una sucesión de problemas a tener en cuenta.

En primer término tenemos la descripción sintáctica del circuito electrónico (Ref. 1,2 y 3): se trata de desarrollar un macrolenguaje orientado utilizable por un técnico o ingeniero para describir el circuito. Deben además corregirse errores sintácticos e indicarse los parámetros que se asumen por defecto.

El segundo problema consiste en resolver la partición del sistema en subsistemas (plaquetas) y distribuir los componentes dentro de cada subsistema (Ref. 4,5,6 y 7). Se trata de problemas de asignación optimizando alguna función tal como la longitud total de conexiones en cada plaqueta ó el número de interconexiones entre subsistemas.

Por último tenemos el problema del trazado ("Layout") de las conexiones. Aquí existe un grafo que describe el circuito uniendo los terminales de componentes (vértices) con líneas equipotenciales (aristas) y es necesario hallar la representación de dicho grafo en 1,2 o más planos optimizando alguna función tal como el largo total de conexiones pesado. (Ref. 8,9,10 11 y 12).

En general estos 3 problemas abarcan disciplinas muy diferentes: computación y diseño de lenguajes, investigación operativa, teoría de grafos y computación gráfica. Además deben tenerse en cuenta las restricciones tecnológicas impuestas por el ingeniero que concibe el circuito: dimensiones físicas de componentes y plaquetas, peso relativo de la longitud de las distintas líneas de señal, espaciado entre conexiones, componentes fijos y móviles, orientación preferencial de componentes, etc..

En este trabajo presentaremos un método de descripción del circuito y un algoritmo de distribución de componentes, teniendo en cuenta las restricciones mencionadas y apuntando a satisfacer 2 objetivos principales:

- 1) Dar una técnica de descripción del circuito que pueda ser interactiva y resulta sencilla para el usuario.
- 2) Desarrollar un método constructivo (heurístico) para hallar una distribución cuasi-óptima de los componentes en el circuito electrónico que sea eficiente desde el punto de vista del tiempo de cómputo.

DESCRIPCION DEL CIRCUITO:

a) Generalidades:

En la Figura 1 se puede apreciar un diagrama en bloque del proceso de descripción y análisis.

La entrada está constituida por el archivo de componentes con los datos físicos de los mismos, la biblioteca de circuitos que pueden incorporarse como subsistemas en el problema y los datos específicos del circuito a resolver: dimensiones de la plaqueta, módulos de biblioteca y líneas equipotenciales del mismo.

La salida producida por el analizador son los mensajes de error, el listado descriptivo del circuito, el archivo de componentes actualizado y la información estructurada para ser utilizada por el programa de distribución de componentes.

Los mensajes son de 3 niveles: ALARMAS que indican que se ha omitido algún dato no imprescindible y se utilizará un valor por defecto, ERROR TIPO 1 que permite completar el análisis pero no iniciar el paso de distribución de componentes y ERROR TIPO 2 que obliga a suspender el análisis hasta ser corregido.

En la Figura 2 se puede apreciar un diagrama general del programa:

La subrutina LISTDG preprocesa la información de entrada, eliminando blancos y armando las cadenas de datos para el analizador propiamente dicho.

La subrutina ANALIZO tiene 4 bloques principales según el tipo de dato: generales, de componentes, de los buses y de cada línea equipotencial, pudiendo utilizar y actualizar la información de 2 archivos de componentes y debiendo producir los listados y la estructuración de los datos para el programa de distribución.

b) Datos a especificar en el macrolenguaje:

Los datos generales representan información no imprescindible que puede omitirse o no: nombre del circuito, dimensiones de la plaqueta, separación mínima entre líneas, opción de grabar el resultado en el archivo de circuitos.

Los datos de componentes se resumen en la Figura 3 para cada componente: tipo es una individualización genérica del grupo a que pertenece, dimx y dimy dan su tamaño relativo (Figura 4), orientación preferencial indica si alguna de las posiciones de la Figura 5 es prioritaria o ya establecida para el componente, fijo indica si ya está decidida la ubicación del componente (por ejemplo un conector) y en tal caso se especifica la misma en posición x y posición y

Los archivos de componentes (Figura 6) permiten almacenar las características correspondientes a un tipo o grupo de componentes (ARCH 1) y los nombres individuales dentro de cada grupo (ARCH 2). De este modo la especificación de un componente puede ser directa dando sólo su nombre y obteniendo la información de los archivos 1 y 2 o bien indirecta dando nombre y tipo con lo cual el sistema incorpora el nombre al archivo 2 y obtiene la información de ese tipo de componente del archivo 1. Obviamente también se pueden dar todos los datos de la Figura 3 (especificación completa) y se crean registros en los archivos 1 y 2.

Los datos de los buses comprenden una lista con los nombres y el número de líneas de cada "bus", lo cual será utilizado en la distribución y conexión automático.

Para cada línea equipotencial se ve lo especificado en la Figura 7: K representa un número de orden del componente y los T_j son los terminales del mismo conectados a la línea. El peso da un valor relativo a la longitud de las conexiones de esa línea.

Los datos de control de macrolenguaje son los separadores parciales dentro de cada tipo de datos (: / .), entre conjuntos de datos (+) y un indicador final (*).

CRITERIOS PARA LA DISTRIBUCION DE COMPONENTES:

1) Notación:

A_j = Conjunto de los elementos colocados hasta el paso j del algoritmo.

B_j = Conjunto de los elementos que resta colocar hasta el paso j del algoritmo.

C(x,y) = Conectividad (número de líneas comunes) entre los elementos x e y.

S(x) = Conjunto de las líneas conectadas al elemento x.

N_k = Número de elementos de la línea K.

R_k = Costo relativo (peso) de la línea K.

L = Variable que da un peso relativo a los conjuntos de señales según su número de elementos:

$$C(x,y) = \sum R_k (1 + L/N_k), K \in S(x) \cap S(y)$$

d [(i,j);(i_y,j_y)] = distancia (Manhattan) del lugar (i,j) al lugar (i_y,j_y) de la plaqueta.

OR = Variable que da la orientación relativa del componente (Figura 5).

$S'(x) \equiv S_{OR,i}(x)$ = Subconjunto de señales de x que depende de la orientación OR

$$S''(x) = S(x) - S'(x)$$

2) Criterios:

El criterio 1 se utiliza para seleccionar el próximo elemento a incorporar a la plaqueta buscando entre los módulos no colocados aquél que tenga máxima conectividad con los ya ubicados. Se elige \hat{x} tal que:

$$y \in A_j \sum C(x,y) = \text{MAX} \sum_{y \in A_j} C(x,y) / x \in B_j$$

El criterio 2 nos permite decidir en qué ubicación relativa de la plaqueta conviene colocar \hat{x} . Para ello se analiza la conectividad componente a componente y se elige aquél \hat{y} tal que:

$$C(\hat{x}, \hat{y}) = \text{MAX} \left\{ C(\hat{x}, y) / y \in A_j \right\}$$

El criterio 3 selecciona la posición física óptima de \hat{x} al lado de \hat{y} y si conviene ubicarlo horizontal o vertical (en caso de que la orientación sea totalmente libre).

Se elige el lugar (\hat{i}, \hat{j}) tal que:

$$F3(\hat{i}, \hat{j}) = \text{MIN} \left\{ F3(i,j) / (i,j) \text{ adyacente al } \hat{y} \text{ y libre} \right\}$$

donde:

$$F3(i,j) = \sum R_k (\text{MIN} \{ d[(i,j); (i_y, j_y)] , y \in K \cap A_j \} , K \in S(\hat{x}))$$

F3 evalúa el costo de conexión del elemento \hat{x} al equipotencial más cercano de sus líneas comunes con todos los elementos de A_j . Al decir que (i,j) es adyacente a \hat{y} y está libre, decimos que se está considerando sucesivamente las posiciones físicas posibles para \hat{x} teniendo en cuenta su tamaño y su ubicación vertical u horizontal.

El criterio 4 permite decidir cual orientación es más conveniente para el elemento \hat{x} . Para ello, partiendo de la posición (i,j) elegida con el criterio 3 se "despliega" el componente en 2 partes con centros a_1 y a_3 ó a_2 y a_4 según la posición a adoptar sea vertical u horizontal y se evalúa una función F4 que tiene en cuenta la orientación elegida a través del conjunto de señales $S'(x)$ o $S''(x)$:

$$F4(\hat{OR}) = \text{MIN}_{OR} F4(OR)$$

$$F4(K) = \text{MIN}_{i=1,2} F3(a_i, a_{i+2}, OR)$$

$$F^3(a_i, a_{i+2}, OR) = \sum_{K \in S'(x)} R_k \left\{ \text{MIN}_{y \in A_j} [d(a, i); (iy, jy)] \right\} + \sum_{K \in S''(x)} R_k \left\{ \text{MIN}_{y \in A_j} [d(a_{i+2}); (iy, jy)] \right\}$$

CASOS DE EMPATE:

La linealidad en el tiempo de cómputo de los criterios enunciados en el punto anterior se ve sólo comprometida por los eventuales "EMPATES" en la elección de \hat{x} , \hat{y} , (\hat{i}, \hat{j}) ó \hat{OR} . Explicaremos qué se hace en cada caso:

- Empate en la elección de \hat{x} : Se aplica 1 vez el criterio 2, eligiendo el \hat{x} que maximice las conexiones directas con algún y de A_j :
 $\hat{x} / C(\hat{x}, y)$ sea máximo con $y \in A_j$
- Empate en la elección de \hat{y} : Se aplica 1 vez el criterio 3 a los posibles y a los que sería adyacente \hat{x} y se determina simultáneamente \hat{y} e (\hat{i}, \hat{j}) .
- Empate en la elección de (\hat{i}, \hat{j}) : Se aplica el criterio 4 una vez para los posibles (i, j) y se decide simultáneamente (\hat{i}, \hat{j}) y \hat{OR} .
- Empate en la elección de \hat{OR} : Se desarrolla la ubicación del elemento \hat{x}_{i+1} con los criterios 1, 2 y 3 eligiendo \hat{OR} de \hat{x}_i tal que minimice el costo de incorporar \hat{x}_{i+1} . Un nuevo empate se define arbitrariamente, adoptando una dada prioridad de orientaciones.

ANÁLISIS DE TIEMPOS:

En los ejemplos desarrollados hasta el momento el algoritmo de distribución de componentes se ha mostrado prácticamente lineal con el número de módulos y muy rápido (Figura 8). Todos los tiempos son normalizados sobre una IBM 360/50.

A modo de ejemplo se ve en la Figura 9 el circuito de una plaqueta de 8K RAM estática, su descripción sintáctica (Figura 10) y el dibujo de la distribución de componentes resultante del algoritmo (Figura 11).

CONCLUSIONES:

Los resultados prácticos logrados hasta el momento con plaquetas de media complejidad son satisfactorios en tiempo de cómputo y utilidad de la distribución de componentes así obtenida.

La línea de trabajo actual es combinar la resolución de

los problemas de descripción y distribución de componentes con el "layout" automático e interactivo del circuito correspondiente.

BIBLIOGRAFIA:

- 1) Hopgood, F. - "Compiling Techniques" - American Elsevier Publishing Co - 1969
- 2) De Giusti A. - "Macrolenguaje y analizador sintáctico para la descripción de circuitos electrónicos" - Informe Técnico Ce. TAD - 1980.
- 3) Strachey, C - "A general purpose macrogenerator" - Computer Journal - Vol. 8 N°3 - 1965.
- 4) Brener M. "Design Automation of digital systems" - Prentice Hall - 1972.
- 5) Luccio y Sami - "On the decomposition of networks in minimally interconnected subnetworks" - IEEE Transactions on circuit theory - Mayo 1969.
- 6) De Giusti y Giordana - "Montaje óptimo de plaquetas de circuito impreso" - Revista Telegráfica Electrónica - Agosto 1976.
- 7) Scanlon - "Automated placement of multiterminal components" - Honeywell Information Systems - 1973.
- 8) Lier y Otten - "Cad of masks wiring" - Report 74-E-44 Eindhoven University of Technology Netherlands.
- 9) Brener - "The application of integer linear programming in design automation" - Proc SHARE Design automation workshop- 1966
- 10) Hanan y Kurtzberg - "A review of the placement and quadratic assignment problem" - IBM Report 1970.
- 11) Loberman y Weinberg - "Formal procedures for connecting terminals with a minimum total wire length" - J.ACM - Oct. 1957.
- 12) Bentley y Friedman - "Fast algorithms for constructing minimal spanning trees in coordinate spaces" - IEEE Transactions on computers. Feb 1978.

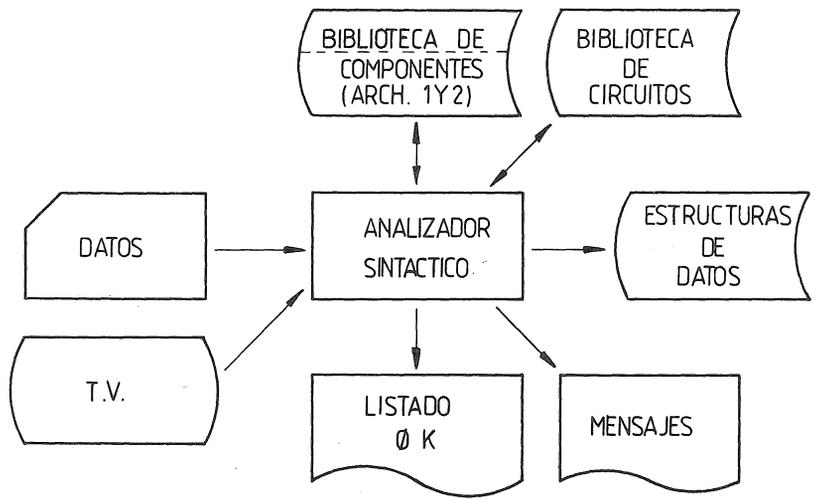


FIGURA 1

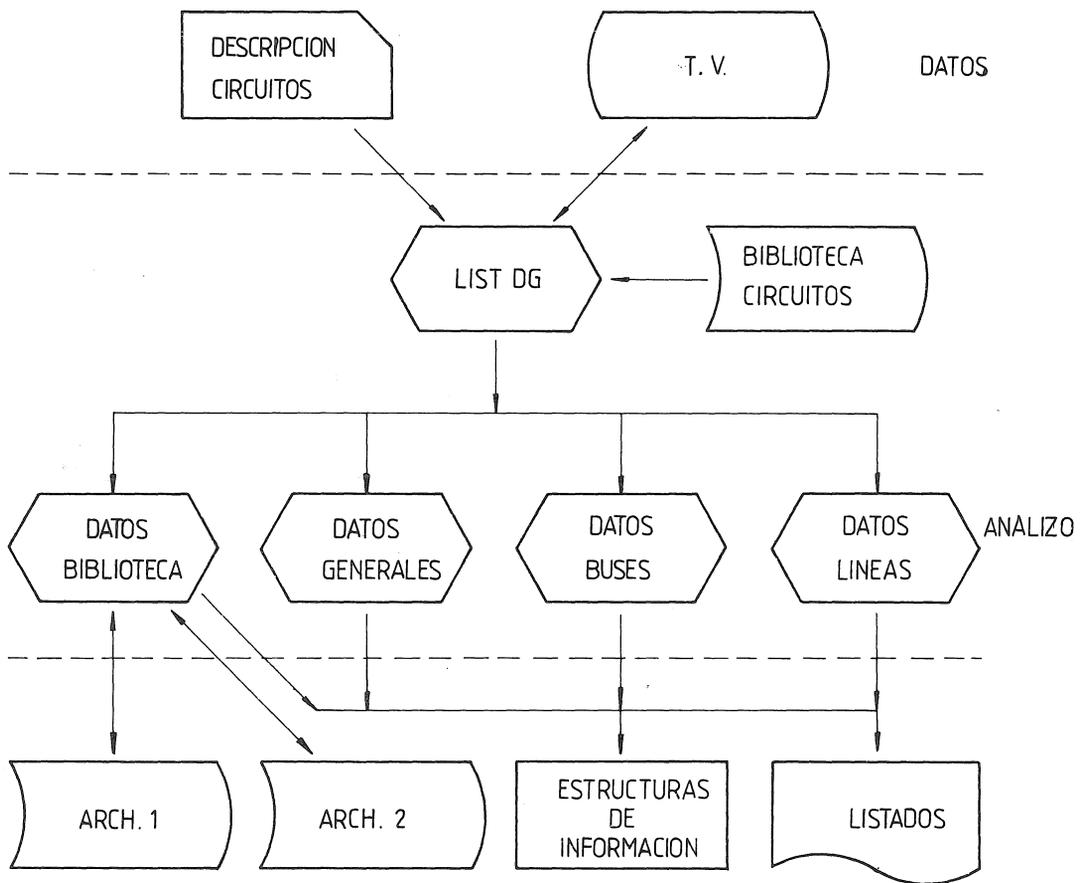


FIGURA 2

NOMBRE	TIPO	N° TERMINALES	DIMENSION X	DIMENSION Y	ORIENTACION PREFERENCIAL	FIJO	POSICION X	POSICION Y
--------	------	------------------	----------------	----------------	-----------------------------	------	---------------	---------------

FIGURA 3

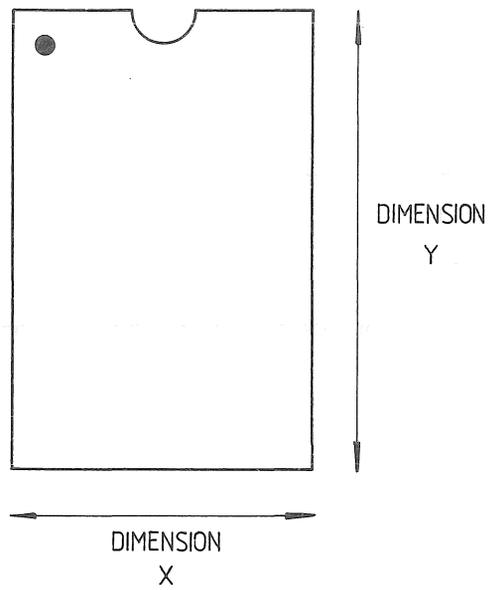


FIGURA 4

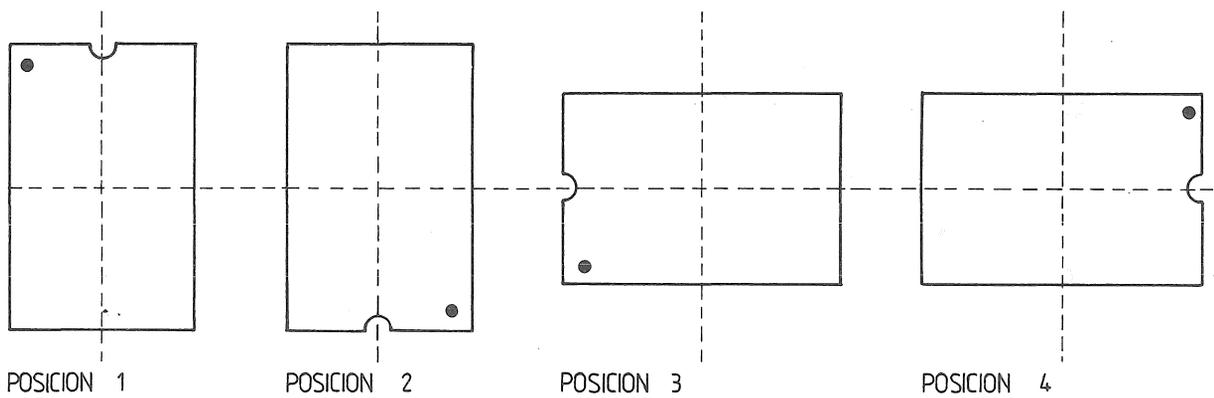


FIGURA 5

TIPO	NUMERO TERMINAL	DIMENSION X	DIMENSION Y	FIJO	POSICION X	POSICION Y
------	--------------------	----------------	----------------	------	---------------	---------------

TIPO	NOMBRE 1	NOMBRE 2
------	----------	----------	-------

FIGURA 6

NOMBRE LINEA	PESO	K	T _j	K'	T' _j
-----------------	------	---	----------------	----	-----------------	-------

por cada componente unido a la linea

FIGURA 7

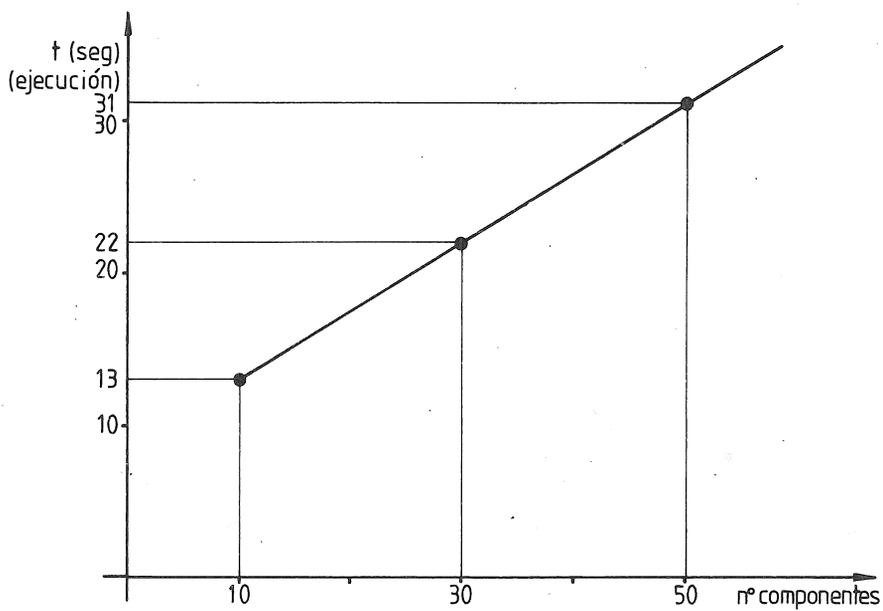
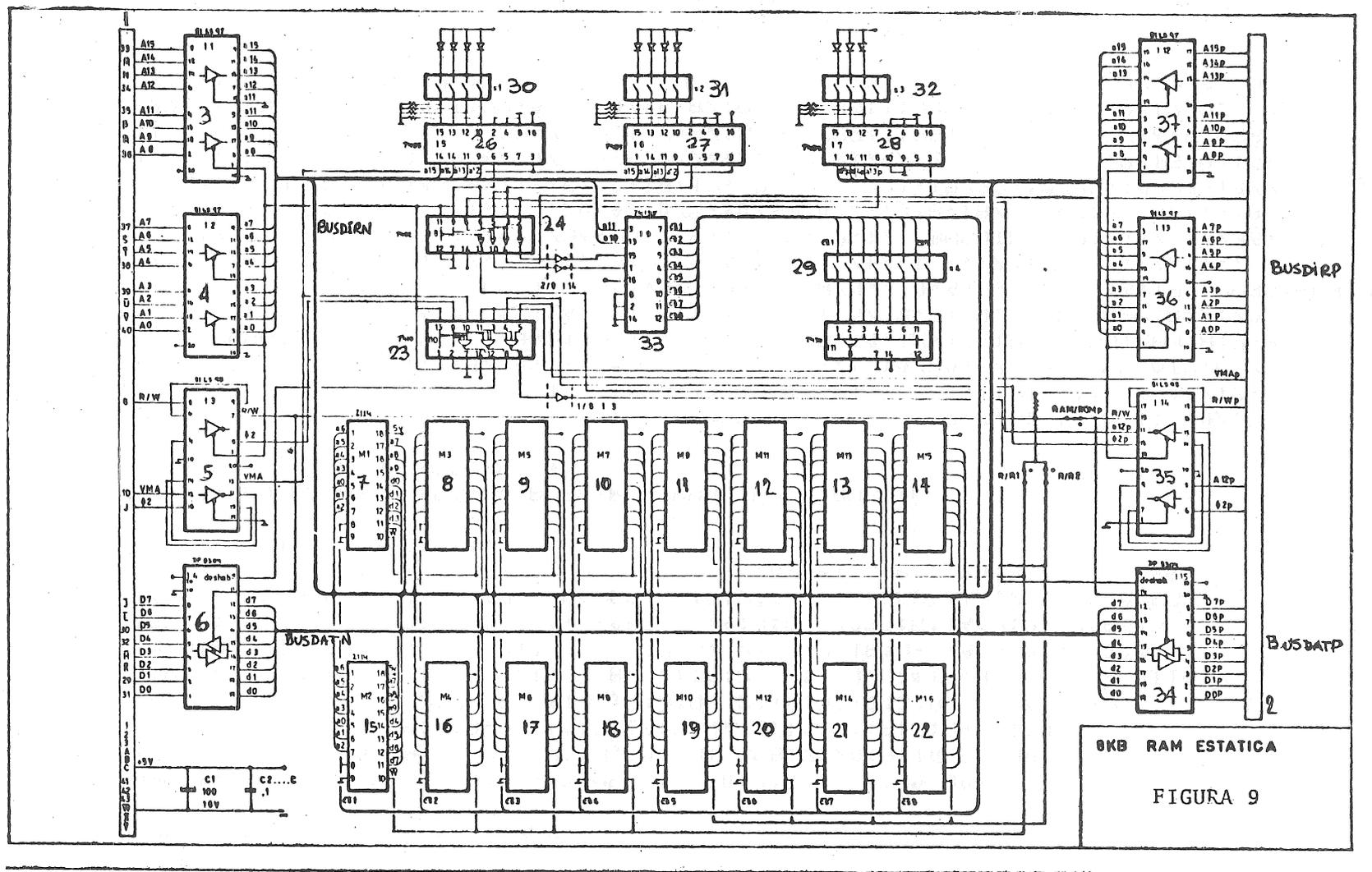


FIGURA 8



BKB RAM ESTATICA

FIGURA 9

NOMBRE=8KRAM, DIMEX=1.00, DIMY=60 +

CONEC1:1:46:2:40:1:1:10:30, CONEC2:1:40:2:30:1:1:90:30,
81LS97:2:20:3:10, 81LS97:2:20:3:10, 81LS98:2:20:3:10, DP8304:2
:20:3:10, 2114:3:18:3:8, 2114:3:18:3:8, 2114:3:18:3:8, 2114:3
:18:3:8, 2114:3:18:3:8, 2114:3:18:3:8, 2114:3:18:3:8, 2114:3:18
:3:8, 2114:3:18:3:8, 2114:3:18:3:8, 2114:3:18:3:8, 2114:3:18:3:8, 2114:3
:18:3:8, 2114:3:18:3:8, 2114:3:18:3:8, 2114:3:18:3:8, 7410:4:14:2:6,
7402:4:14:2:6, 7430:4:14:2:6, 7485:5:16:3:8, 7485:5:16:3:8, 7485:5
:16:3:8, LLAVES4:6:16:2:8, LLAVES1:6:8:2:4, LLAVES2:6:8:2:4, LLAVES3
:6:8:2:4, 7415:5:16:3:8, DP8304:2:20:3:10, 81LS98:2:20:3:10, 81LS97
:2:20:3:10, 81LS97:2:20:3:10 +

BUSDAT, BUSDATN, BUSDATP, BUSDIRH, BUSDIRN, BUSDIRNF, BUSDIRHP,
BUSDIRL, BUSDIRLN, BUSDIRLP +

BUSDAT:8:1,23,24,25,26,29-32/6,1-8, BUSDATN:8:6,12-19/7,11-14/8,11-14/19,
11-14/10,11-14/11,11-14/12,11-14/13,11-14/14,11-14/15,11-14/16,11-14/17,
11-14/18,11-14/19,11-14/20,11-14/21,11-14/22,11-14/34,12-19, BUSDATP:8,2,1-8/34
,1-8, BUSDIRH:8:1,33-36,20,21,22,19/3,2,4,6,8,14,12,16,18, BUSDIRN:8:3,3,5,7,11
16/18,15,16/19,15,16/20,15,16/21,15,16/22,15,16/33,3,13, BUSDIRHP:8:2:24-30
/37,2,4,6,8,13,15,17, BUSDIRL:8:1,37-40,15,18/4,2,4,6,8,12,14,16,18, BUSDIRLN:8:
1-7,17/13,1-7,17/14,1-7,17/15,1-7,17/16,1-7,17/17,1-7,17/18,1-7,17/19,1-7,17/20
,1-7,17/21,1-7,17/22,1-7,17/36,35,7,9,11,15,13,17, BUSDIRLP:8:2,17-24/36,2,4,6
,8,12,14,16,18, VCC:1:1,1/3,20/4,20/5,20/6,20/7,18/8,18/9,18/10,18/11,18/12,18/
13,18/14,18/15,18/16,18/17,18/18,18/19,18/20,18/21,18/22,18/23,14/24,14/25,14/26
44/3,1,10/4,10/5,10,19/6,10/7,9/8,9/9,9/10,9/11,9/12,9/13,9/14,9/15,9/16,9/17,9/
L11:1:32,7/28,12, CS1:1:33,7/29,1/7,8/15,8, CS2:1:33,6/29,2/8,8/16,8, CS3:1:33,
5/29,3/9,8/17,8, CS4:1:33,4/29,4/10,8/18,8, CS5:1:33,9/29,5/11,8/19,8, CS6:1:33,
NCS1:1:29,1/33,1,NCS2:1:29,2/33,2, NCS3:1:29,3/33,3, NCS4:1:29,4/33,4, NCS5:1:29

Figura 10

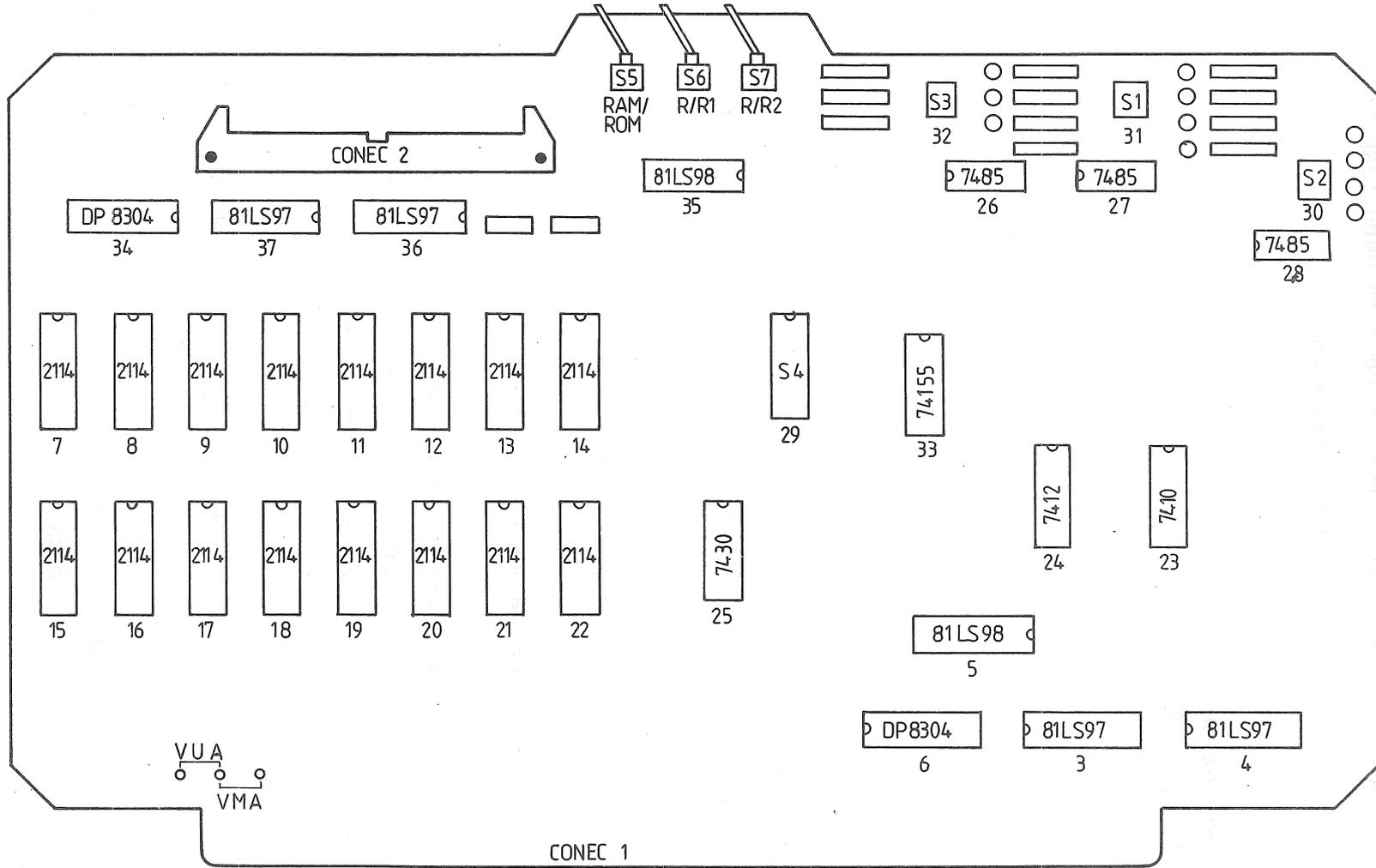


FIGURA 11